

ダイナミックコンパレータ

提供： 金沢大学集積回路工学研究室

資料： rev.2013.8.27, 金沢大学, 北川章夫

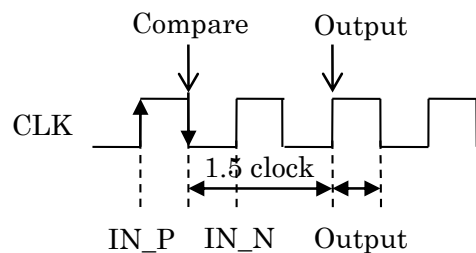
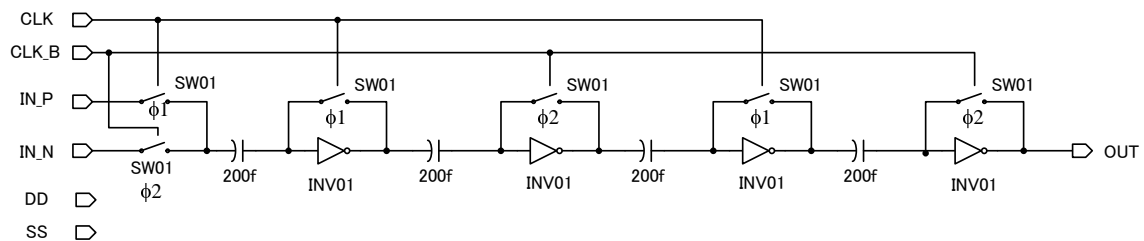
分類	Mixed
ライブラリ名	DCOMP (セル名: COMP02)
提供形式	Cadence IC6, GDS
テクノロジーデバイス	Rohm CMOS 180nm
必須ライブラリ	LAYOUT_LIB, vdecRO180PDK
設計者	北川章夫
最終更新日	2013.8.24
連絡先	北川 章夫 920-1192 石川県金沢市角間町 金沢大学 理工研究域 電子情報学系 Phone/FAX 076-234-4863 Email kitagawa@is.t.kanazawa-u.ac.jp

1. ファイルの説明

ファイル	説明
DCOMP.tar	Cadance IC6 用オプション・パーツ・ライブラリ
LAYOUT_LIB.tar	Cadance IC6 用レイアウト部品ライブラリ
COMP02.gds	レイアウトデータ(GDS-II)

2. 概要

広い入力電圧範囲に対して高精度なダイナミックコンパレータです。ただし、クロックに対する遅延を最小にするため、増幅段がパイプライン化されており、1.5クロック後に比較結果が得られます。電圧比較精度を高める場合は、キャパシタンスを大きなものに取り替えてください。



端子名	分類	説明
IN_P	Analog input	+入力
IN_N	Analog input	-入力
OUT	Digital output	出力
CLK	Digital input	Clock
CLK_B	Digital input	~Clock
DD	電源	VDD
SS	グラウンド	VSS

3. DC 特性

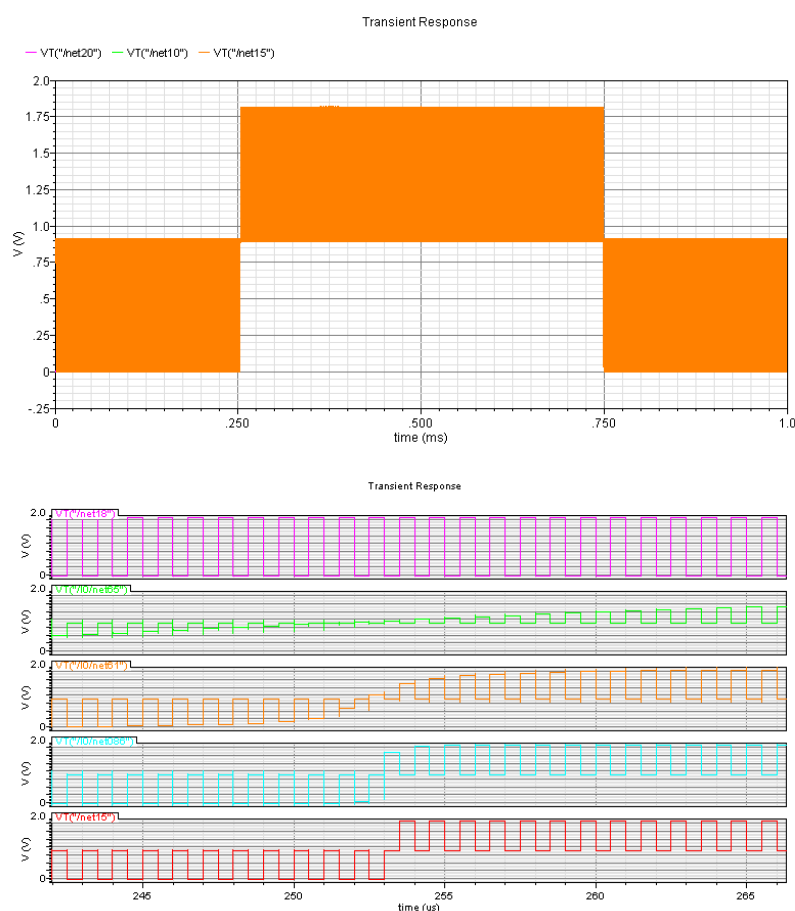


FIG.1 直流電圧比較特性 ($f_{CLK} = 1\text{MHz}$)

4. 精度

Table I クロック周波数

f_{CLK} (Hz)	Error (V)
1M	7.2m
10M	10.8m

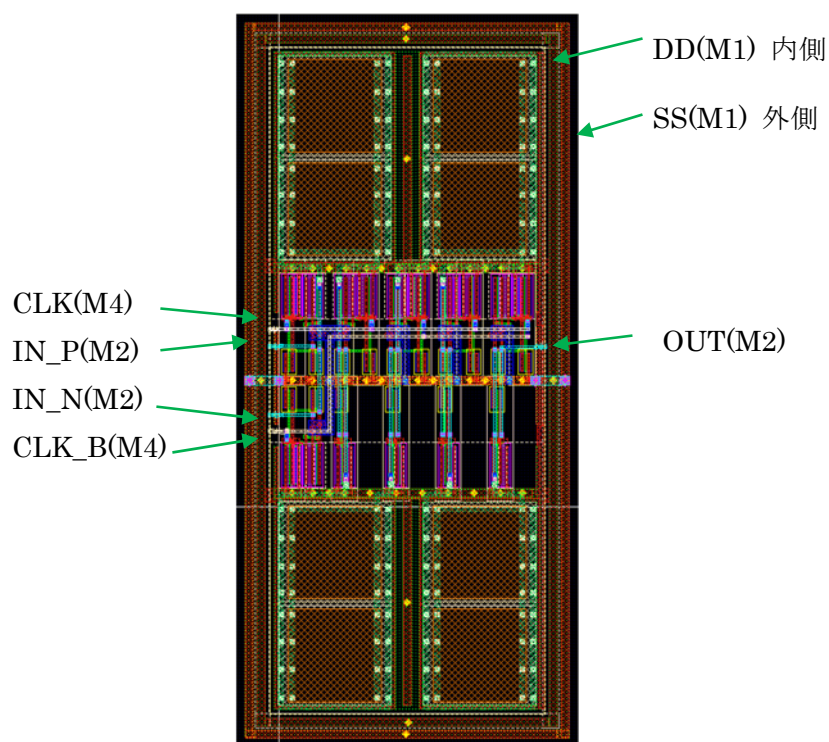
100M	10.8m
1G	32.4m

$C_L = 100\text{fF}$, $f_{\text{sig}} = f_{\text{CLK}}/1000$, $V_{\text{COMP}} = 900\text{mV}$

Table II 入力電圧 ($f_{\text{CLK}} = 1\text{MHz}$)

V_{COMP} (V)	Error (V)
50m	12.4m
450m	12.4m
900m	7.2m
1.35	12.4m
1.75	12.4m

5. 端子位置



6. 使用上の注意

CLK と CLK_B はノンオーバーラップクロックが必要です。ノンオーバーラップクロックは、別ライブラリにて提供します。