

## 金沢大学 3.3V スタンダードセルライブラリの概要

提供: 金沢大学実践的 LSI 設計技術教育運営委員会

資料: rev.2014.8.29, 金沢大学, 北川章夫

### 1. ファイルの説明

ディレクトリ	説明
composer	Cadance IC5+HSPICE 用データ (layout view を含む)
composer6	Cadence IC6+HSPICE 用データ (layout view を含む)
composer6s	Cadence IC6+spectre 用データ (layout view を含む)
gds	GDS-II ファイル
doc	詳細説明書

### 2. 概要

3.3V 用スタンダードセルライブラリ。現状では、schematic, symbol, layout のみの提供です。

最小セルユニット : 8.4um×0.64um

2 入力 NAND (5 units) 遅延時間 : 0.044ns + 0.27ns\*CL(pF), 25°C

機能	種類	備考
Buffer	駆動力 1~16	
Inverter	駆動力 1~16	
Clocked Inverter		
AND	2~4 入力	
NAND	2~4 入力	
OR	2~4 入力	
NOR	2~4 入力	
XOR	2 入力	
XNOR	2 入力	
AOI	3, 4 入力	
OAI	3, 4 入力	
DFF		
SR-DFF		非同期リセット
Filler	4 サイズ	
Level Shifter	1.8→3.3V, 3.3V→1.8V	

### 3. 動作確認状況

VDEC 2014 年第 3 回 CMOS 180nm にて試作および評価を実施予定。

#### 4. 連絡先

〒920-1192 石川県金沢市角間町 金沢大学理工研究域電子情報学系 北川章夫

TEL/FAX 076-234-4863

EMAIL [kitagawa@is.t.kanazawa-u.ac.jp](mailto:kitagawa@is.t.kanazawa-u.ac.jp)