

# 金沢大学 IO セルライブラリの概要

提供: 金沢大学実践的 LSI 設計技術教育運営委員会

資料: rev.2013.8.25, 金沢大学, 北川章夫

## 1. ファイルの説明

ファイル	説明
composer.tar	Cadance IC5+HSPICE 用データ
composer6.tar	Cadence IC6+HSPICE 用データ
composer6s.tar	Cadence IC6+spectre 用データ
layout.tar	レイアウトデータ(GDS-II)

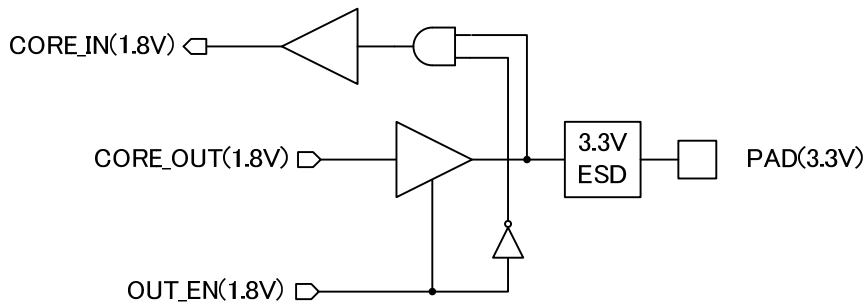
- (1) データ構成の詳細は、金沢大学様向け IO セル設計報告.pdf を参照してください。
- (2) 電源 PAD は含まれていませんので、自作して下さい。
- (3) CHIP\_TEST に、フィラーセル、コーナーセルなどのレイアウト例が含まれています。

## 2. 概要

### (1) IO\_INOUT

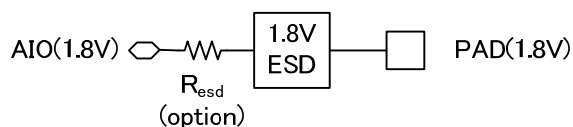
デジタル用 IO バッファ (ESD 耐圧 HBM 2kV) です。パッド IO レベル = 3.3V, コア VDD=1.8V となっています。ローム社提供の IO バッファ (Tri-state 入出力バッファ) と、外形寸法および信号ピン配置互換ですが、電源リングの寸法と配置は異なるので注意して下さい。また、1.8V 電源リングが含まれているため、コア側からの 1.8V 供給の必要はありません。

NOTE: シミュレーションおよび LVS 用の schematic view は、IO\_INOUT\_PD に含まれていません。



### (2) IO\_ANALOG

アナログ用 ESD (ESD 耐圧 HBM 2kV) です。IO/コアともに、VDD = 1.8V となっています。ローム社提供の IO バッファ (アナログ入力/出力 PAD) と、外形寸法および信号ピン配置互換ですが、電源リングの寸法と配置は異なるので注意して下さい。50ohm 負荷、2.4GH 帯域での使用を想定しています。保護抵抗は含まれていませんので、必要帯域に応じた抵抗 Resd (典型的には 200ohm 程度) を、コア側に付けて下さい。



### 3. 主な仕様

#### (1) IO\_INOUT (デジタル用)

項目	単位	Min.	Typ.	Max.	
動作温度	°C	-40	25	125	
電源電圧	3.3V	V	2.64	3.3	3.96
	1.8V	V	1.44	1.8	2.16
プルアップ/プルダウン	Ω	—	47.9k	—	
消費電力	μW/MHz	—	—	—	
ESD 耐圧	V	HBM 2k	—	—	
DC 特性	V <sub>OH</sub>	V	VDD-0.17	VDD-0.09	—
	V <sub>OL</sub>	V	VSS+0.11	VSS+0.06	VSS+0.09
	V <sub>IH</sub>	*VDD	0.69	0.73	0.75
	V <sub>IL</sub>	*VDD	0.30	0.36	0.41
	V <sub>hysteresis</sub>	*VDD	—	0.37	—
AC 特性	T <sub>PDH</sub> (P→C)	ns	3.36	—	2.04
	T <sub>PDH</sub> (C→P)	ns	4.76	—	3.12
	T <sub>r</sub> /T <sub>f</sub> (CORE)	ns	0.29	—	0.17
	T <sub>r</sub> /T <sub>f</sub> (PAD)	ns	2.79	—	1.83

Input Slew Time = 0.25ns (10% - 90%), Pad Load = 20pF, Core Load = 0.1pF

#### (2) IO\_ANALOG (アナログ用)

項目	単位	Min.	Typ.	Max.	条件
動作温度	°C	-40	25	125	—
電源電圧	V	1.44	1.8	1.98	—
ESD 耐圧	V	HBM 2k	—	—	—
入出力電圧範囲	V	VSS-0.5	—	VDD+0.5	—
遮断周波数(-3dB)	GHz	2.6	—	—	信号源 = 50Ω 負荷 = 50Ω

### 4. 使用上の注意

#### (1) DRC

Flat モードで実行して下さい。階層モードの場合は、下位セルの配置に対する OFFGRID 警告が出ますが、論理レイヤーに対する警告ですので、無視してください。また、rzv1234con 等に

配置座標警告が出ることがありますが、VDEC 提供の PAD の仕様ですので、無視してください。

(2) Density Check

Outputs: DRC Results Database Format = GDS II を指定して下さい。ただし、RVE によるエラーの検索は使用できません。

(3) LVS

Flat モードの場合は、Direct connection between different ports, Port names: VDD VDD という ERC 警告が出力されますが、無視してください。LVS REPORT OPTION P により、このメッセージを出力させないようにできます。

5. 動作確認状況

VDEC 2012 年第 3 回 CMOS 180nm にて試作および評価 (ESD 耐圧を含む) を実施。

(1) ESD 評価

電源電圧	パッド印加電圧	結果	備考
3.3V	±0.5kV - ±8.0kV	全て Pass	±8.0kV 印加後に特性劣化
1.8V	±0.5kV - ±8.0kV	一部±1.0kV で破壊※	±8.0kV 印加後に特性劣化

※ ESD を経て接続されていた NAND ゲートの出力端子が破壊されたと予想される。入力端子は、±8.0kV まで全て合格。

6. 連絡先

〒920-1192 石川県金沢市角間町 金沢大学理工研究域電子情報学系 北川章夫

TEL/FAX 076-234-4863

EMAIL kitagawa@is.t.kanazawa-u.ac.jp